

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahito NAKANO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS AND CIRCUIT BOARD AND
INFORMATION READOUT METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

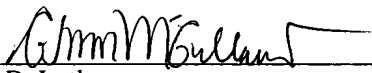
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-373687	December 25, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Bradley D. Lytle

Registration No. 40,073

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 3 6 8 7
Application Number:

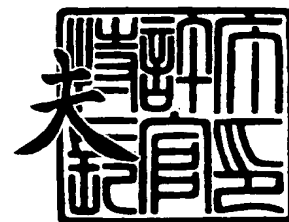
[ST. 10/C]: [J P 2 0 0 2 - 3 7 3 6 8 7]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 8 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290739603

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 中野 毅人

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 木場 裕之

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 阿久井 聡

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置および回路基板並びに情報読み出し方法

【特許請求の範囲】

【請求項 1】 所定の回路基板に実装されて動作する半導体集積回路装置において、

半導体集積回路装置に固有の半導体情報を記憶する半導体情報記憶手段と、
前記半導体情報記憶手段に接続され、外部から供給される信号に応じて前記半導体情報記憶手段から前記半導体情報を読み出し、前記半導体情報を外部出力する半導体情報出力手段と、
を具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記半導体情報出力手段は、
所定の外部記憶手段と接続され、前記外部記憶手段への情報書き込みを制御する接続制御手段と、
読み出した前記半導体情報を、前記接続制御手段を介して前記外部記憶手段の所定の領域へ書き込む制御を行なう制御手段と、
を備えることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記半導体情報出力手段は、
前記半導体情報の読み出し処理を実行させるためのプログラムを記憶する所定の外部記憶手段と接続され、前記外部記憶手段が記憶する前記プログラムの読み出しを制御する接続制御手段と、
前記接続制御手段を介して前記外部記憶手段から読み出した前記プログラムに基づいて前記半導体情報の読み出しおよび外部出力を制御する制御手段と、
を備えることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記半導体情報記憶手段は、前記半導体情報として前記半導体集積回路装置を識別するために割り振られた識別コードを保持しており、読み出し信号が入力すると前記識別コードに応じた電気信号を出力することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 半導体集積回路装置が実装される回路基板において、
外部から読み出しおよび書き込みが可能な記憶手段と、

半導体集積回路装置に固有の半導体情報を記憶する半導体情報記憶手段と、前記半導体情報記憶手段に接続され、外部から供給される信号に応じて前記半導体情報記憶手段から前記半導体情報を読み出し、前記半導体情報を前記記憶手段に書き込む半導体情報出力手段と、を備えた半導体集積回路装置と、

を具備することを特徴とする回路基板。

【請求項 6】 前記記憶手段は、前記半導体情報の読み出し処理を実行させるためのプログラムを保持し、

前記半導体情報出力手段は、前記記憶手段から読み出した前記プログラムに基づいて前記半導体情報の読み出しおよび前記半導体情報の前記記憶手段への書き込みを制御することを特徴とする請求項 5 記載の回路基板。

【請求項 7】 半導体集積回路装置の半導体情報を読み出す情報読み出し方法において、

半導体集積回路装置に保持された前記半導体集積回路装置に固有の半導体情報を読み出すためのプログラムが所定の外部記憶手段に書き込まれるステップと、

前記外部記憶手段に書き込まれた前記プログラムを読み込み、前記プログラムに基づいて前記半導体情報を読み出すステップと、

読み出した前記半導体情報を前記外部記憶手段に設けられた所定の領域に書き込むステップと、

を有することを特徴とする情報読み出し方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置および回路基板並びに情報読み出し方法に関し、特に所定の回路基板に実装されて動作する半導体集積回路装置およびこの半導体集積回路装置が実装された回路基板並びに情報読み出し方法に関する。

【0 0 0 2】

【従来の技術】

従来、半導体集積回路装置は、その製造工程の各段階において試験が行なわれて、良品が選別されていく。

【0003】

例えば、プロセス工程が終了し、半導体ウェハ上に形成された複数のチップを良品と不良品とに選別するため、ウェハ状態でのバーンイン・テストが行なわれる。ここでは、半導体ウェハ上に形成された複数の半導体集積回路装置に対して一括して試験が行なわれるため、試験中に半導体集積回路装置の個々の状態が把握できないという問題があった。そこで、チップごとにチップを識別可能にするチップIDを保持するチップID保持回路を設け、このチップIDと一致するIDデータが入力されると、選択されたことを示す選択信号を出力し、該半導体集積回路装置に固有の電気的特性を示す電気信号を出力する半導体集積回路装置がある（例えば、特許文献1参照）。これにより、複数の半導体集積回路装置から一の半導体集積回路装置を選択し、状態を試験中にモニタすることができる。

【0004】

さらに、ウェハ状態でのバーンイン・テストにより良品と選別された半導体集積回路装置は、ウェハから切り出される。以下、この状態の半導体集積回路装置を半導体チップという。続いて、半導体チップは、ボンディングワイヤによりリード・フレームと電氣的に接続されるボンディング工程が行なわれる。さらに、熱硬化性樹脂などによりシール（封止）される。この状態の半導体集積回路装置を半導体パッケージという。完成した半導体パッケージは、ハンドラに挿入し、LSIテストと接続し、ファンクションテストなどの各種試験が行なわれ、良品が選別される。さらに、バーンイン・テストなどの信頼性テストが行なわれた後に出荷され、電子機器のプリント基板に実装される。

【0005】**【特許文献1】**

特開平11-121566号公報（段落番号[0014]～[0015]、[0020]、図1）

【0006】**【発明が解決しようとする課題】**

しかし、従来の半導体集積回路装置では、製品としてプリント基板に実装された後に、半導体集積回路装置が装置内部に保持する情報を引き出すことが難しい

という問題がある。

【0 0 0 7】

例えば、製品としてプリント基板に実装された半導体集積回路装置に不具合が発生した場合、この不具合が発生した半導体集積回路装置の素性（製造時のロット番号・ウェハ上の位置・製造時期）を特定する必要がある。しかしながら、製造工程における試験に用いるためにチップ I D などの半導体集積回路装置を特定するための情報を保持する半導体集積回路装置であっても、プリント基板に実装された状態でこの情報を読み出すことはできなかった。このため、半導体集積回路装置の内部情報を読み出すためには、半導体チップを取り出すという煩雑な工程が必要であった。

【0 0 0 8】

図 5 は、従来の半導体集積回路装置の内部情報を読み出すための手順を示した図である。

〔工程 a〕 装置内に格納された内部情報を読み出したい半導体パッケージ 5 2 が搭載されたプリント基板 5 3 から所望の半導体パッケージ 5 2 を剥離する。しかしながら、半導体パッケージ 5 2 は、はんだ等により強固に接着されており、また半導体パッケージ 5 2 の超小型化が進んでいるため、他の半導体パッケージや部品が多々実装されているプリント基板 5 3 から所望の半導体パッケージ 5 2 を剥離するのは容易ではなく、特殊な技術を必要とする。

【0 0 0 9】

〔工程 b〕 半導体パッケージ 5 2 の樹脂シールを開封し、半導体チップ 5 1 を取り出す。しかしながら、樹脂シールは、例えば、エポキシをベースにした熱硬化性樹脂を用いてモールドング装置を使用し、175 度ぐらいのモールド金型によってシール（封止）することによって形成されるため、開封するのは容易ではない。

【0 0 1 0】

〔工程 c〕 取り出された半導体チップ 5 1 を、L S I テスタで測定し、半導体チップ 5 1 内部に格納された内部情報の読み出しを行なう。

このように、半導体集積回路装置がチップ I D 保持回路などの情報を保持する

機構を備えていたとしても、一旦プリント基板に実装されてしまうと、これを直接読み出すことができず、上記の説明のように多大な工数と特殊な技術が必要であった。

【0 0 1 1】

本発明はこのような点に鑑みてなされたものであり、煩雑な工程を必要とすることなく、装置内部に保持されている情報を読み出すことが可能な半導体集積回路装置および回路基板並びに情報読み出し方法を提供することを目的とする。

【0 0 1 2】

【課題を解決するための手段】

本発明では上記課題を解決するために、所定の回路基板に実装されて動作する半導体集積回路装置において、半導体集積回路装置に固有の半導体情報を記憶する半導体情報記憶手段と、前記半導体情報記憶手段に接続され、外部から供給される信号に応じて前記半導体情報記憶手段から前記半導体情報を読み出し、前記半導体情報を外部出力する半導体情報出力手段と、を具備することを特徴とする半導体集積回路装置、が提供される。

【0 0 1 3】

このような構成の半導体集積回路装置では、半導体情報記憶手段に、この半導体集積回路装置固有の半導体情報が記憶されている。固有の半導体情報には、例えば、この半導体集積回路装置を識別するための識別番号や、ロット番号などの製造時を特定するための情報などがある。半導体情報出力手段は、半導体情報を要求する信号が外部から供給されると、この信号に応じて半導体情報記憶手段から半導体情報を読み出し、外部出力する。

【0 0 1 4】

また、上記課題を解決するために、半導体集積回路装置が実装される回路基板において、外部から読み出しおよび書き込みが可能な記憶手段と、半導体集積回路装置に固有の半導体情報を記憶する半導体情報記憶手段と、前記半導体情報記憶手段に接続され、外部から供給される信号に応じて前記半導体情報記憶手段から前記半導体情報を読み出し、前記半導体情報を前記記憶手段に書き込む半導体情報出力手段と、を備えた半導体集積回路装置と、を具備することを特徴とする

回路基板、が提供される。

【0015】

このような構成の回路基板では、回路基板に実装された半導体集積回路装置は、半導体情報記憶手段に固有の半導体情報を記憶している。半導体情報出力手段は、外部から供給される信号に応じて半導体情報を読み出し、回路基板に設けられた記憶手段に書き込む。

【0016】

さらに、上記課題を解決するために、半導体集積回路装置の半導体情報を読み出す情報読み出し方法において、半導体集積回路装置に保持された前記半導体集積回路装置に固有の半導体情報を読み出すためのプログラムが所定の外部記憶手段に書き込まれるステップと、前記外部記憶手段に書き込まれた前記プログラムを読み込み、前記プログラムに基づいて前記半導体情報を読み出すステップと、読み出した前記半導体情報を前記外部記憶手段に設けられた所定の領域に書き込むステップと、を有することを特徴とする情報読み出し方法、が提供される。

【0017】

このような手順の情報読み出し方法では、初めに、半導体集積回路装置の内部に保持されている半導体情報を読み出すために作成されたプログラムが所定の外部記憶手段に書き込まれる。半導体集積回路装置は、外部記憶手段に格納されているプログラムを読み込み、このプログラムに従って内部の半導体情報を読み出し、外部記憶手段に設けられた所定の領域に読み出した半導体情報を書き込む。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

まず、本発明の概要について説明し、続いて本発明が適用される実施の形態について説明する。

【0019】

図1は、本発明の概要を示した構成図である。本発明に係る半導体集積回路装置10は、半導体情報を記憶する半導体情報記憶手段11と、外部からの要求に応じて半導体情報を外部出力する半導体情報出力手段12と、を備える。

【0 0 2 0】

半導体情報記憶手段 1 1 は、半導体集積回路装置 1 0 に固有の半導体情報が予め登録され、保持されている。半導体情報として、この半導体集積回路装置の持つ固体情報、あるいは、その固体を特定することが可能になるように割り振られた識別コードが登録される。固体情報には、例えば、ロット番号、ウェハ番号、ウェハ上での位置、製造時期、製造工場などが含まれる。

【0 0 2 1】

半導体情報出力手段 1 2 は、信号線を介して外部と接続しており、外部から供給される信号に応じて半導体情報記憶手段 1 1 に保持されている半導体情報を読み出し、読み出した半導体情報を外部出力する。例えば、外部に記憶装置 2 0 が設けられ、これと接続している場合、読み出した半導体情報を記憶装置 2 0 の所定の領域に書き込む。さらに、外部の記憶装置 2 0 に半導体情報の読み出し処理を実行するためのプログラムを記憶しておき、半導体情報出力手段 1 2 が、このプログラムを読み出し、プログラムを実行することにより上記の半導体情報の読み出し処理を実行するとしてもよい。

【0 0 2 2】

記憶装置 2 0 は、半導体集積回路装置 1 0 の外部に設けられ、半導体情報出力手段 1 2 と信号線を介して接続する。記憶装置 2 0 は、半導体集積回路装置 1 0 が実装される回路基板に搭載されるか、または、この回路基板に接続可能な外部デバイスに搭載される。

【0 0 2 3】

このような構成の半導体集積回路装置 1 0 の動作について説明する。

半導体情報記憶手段 1 1 には、この半導体集積回路装置 1 0 を特定することが可能な半導体集積回路装置 1 0 に固有の半導体情報が保持されている。半導体情報出力手段 1 2 は、信号線を介して外部から供給される信号に応じて、半導体情報記憶手段 1 1 に保持されている半導体情報を読み出し、信号線を介して外部出力する。例えば、信号線を介して外部の記憶装置 2 0 と接続している場合、読み出した半導体情報は、この記憶装置 2 0 の所定の領域に書き込む。また、記憶装置 2 0 に読み出し処理を実行させるためのプログラムが記憶されている場合、こ

のプログラムを読み出し、プログラムに従って読み出し処理を行なう。

【0024】

上記の説明のように、本発明の半導体集積回路装置10では、装置内部に格納された半導体情報を外部から読み出すことが可能である。半導体情報は、半導体集積回路装置10に固有の情報であり、半導体情報に基づいて固体を特定し、半導体集積回路装置10の素性（ロット番号・ウェハ上での位置・製造時期など）を知ることができる。

【0025】

以上、本発明によれば、半導体集積回路装置に不具合が発生した場合、従来のように半導体集積回路装置を取り出すための多大な工数と特殊な技術を必要とすることなく、容易に半導体集積回路装置を特定するための情報を読み出すことができる。

【0026】

次に、上記の発明の概念が適用される実施の形態について説明する。

図2は、本発明の第1の実施の形態である半導体集積回路装置およびこの半導体集積回路装置を搭載した回路基板の構成図である。

【0027】

本発明に係る半導体集積回路装置（以下、半導体チップとする）110は、樹脂などによりシールされた半導体パッケージ120の状態プリント基板100に実装されている。プリント基板100には、他に外部から読み出しと書き込みが可能なメモリ130が搭載されている。メモリ130は、プログラムが記憶された記録媒体201およびシリアルナンバー情報を保存・管理するシリアルナンバー記憶装置202と必要に応じて接続される。

【0028】

ここで、半導体チップ110は、半導体情報を記憶するシリアルナンバー回路111、シリアルナンバーの読み出しを制御するCPU112および外部のメモリ130と接続するメモリコントローラ113を有する。

【0029】

シリアルナンバー回路111は、半導体チップ110に固有の半導体情報を記

憶する半導体情報記憶手段である。シリアルナンバーは、ロット番号・ウェハ上の位置・製造時期などに応じて個々の半導体チップに割り振られた番号であり、半導体チップ 1 1 0 を識別可能にする識別コードである。シリアルナンバーにより、固体を特定することが可能となる。シリアルナンバー回路 1 1 1 は、例えば、1 / 0 の値に相当する電気信号を出力する複数のヒューズなどにより構成され、製品出荷時などに任意のヒューズを切断することにより、所定のシリアルナンバーを設定することができる。また、E P R O M などのメモリ素子で構成されていてもよい。このシリアルナンバー回路 1 1 1 は、接続する C P U 1 1 2 からの選択信号に応じて、シリアルナンバーに応じた電気信号を出力する。

【 0 0 3 0 】

C P U 1 1 2 とメモリコントローラ 1 1 3 によって、半導体情報出力手段が構成される。C P U 1 1 2 は、読み出し処理を実行する制御手段であり、読み出し処理専用のプロセッサを設ける他、半導体チップ 1 1 0 全体の制御を行なうプロセッサを用いるとしてもよい。メモリコントローラ 1 1 3 は、C P U 1 1 2 およびメモリ 1 3 0 と接続する接続制御手段であり、C P U 1 1 2 によるメモリ 1 3 0 のデータ読み出し、およびメモリ 1 3 0 へのデータ書き込みを制御する。

【 0 0 3 1 】

メモリ 1 3 0 は、半導体チップ 1 1 0 にシリアルナンバー読み出し処理を実行させるための読み出しプログラムを記憶するとともに、読み出されたシリアルナンバーを記憶する所定の領域を備えている。読み出しプログラムは、プログラムが記憶された記録媒体 2 0 1 から必要に応じてロードされる。また、取得したシリアルナンバーは、シリアルナンバーを保存・管理するシリアルナンバー記憶装置 2 0 2 へ出力する。

【 0 0 3 2 】

このような構成の半導体チップ 1 1 0 および半導体チップ 1 1 0 を実装したプリント基板 1 0 0 の動作について説明する。

例えば、半導体チップ 1 1 0 に不具合が発見された場合、シリアルナンバー回路 1 1 1 からシリアルナンバーを読み出して外部へ出力する処理を実行させるプログラムが作成される。作成方法は、半導体チップ 1 1 0 が実装された電子機器

上で行なうこともできるし、別途パーソナルコンピュータなどを用意して作成する場合もある。パーソナルコンピュータなどにより別途作成され、所定の記録媒体 201 に保存されたプログラムは、半導体チップ 110 が読み出し可能なプリント基板 100 のメモリ 130 に転送される。このようにして、メモリ 130 にプログラムが書き込まれ、プログラムが実行できる状態となり、読み出し処理が開始される。

【0033】

CPU 112 は、メモリコントローラ 113 を介してメモリ 130 に保持されている読み出しプログラムを読み込み、このプログラムに従って処理を実行する。すなわち、シリアルナンバー回路 111 に接続する信号を介してシリアルナンバー回路 111 の保持するシリアルナンバーの読み出しを行ない、読み出したシリアルナンバーを、メモリコントローラ 113 を介してメモリ 130 へ書き込む。このようにして、半導体チップ 110 に固有のシリアルナンバーがメモリ 130 に取り出される。

【0034】

メモリ 130 に取り出されたシリアルナンバーは、プリント基板 100 を搭載する電子機器の表示器などに表示して確認するほか、シリアルナンバーを保持・管理するシリアルナンバー記憶装置 202 に転送し、別途用意されたパーソナルコンピュータなどで確認することもできる。このようにして得られたシリアルナンバーは、半導体チップ 110 の製造ロット番号・ウェハ上での位置・製造時期に応じて割り振られたものであり、シリアルナンバーよりこの半導体チップ 110 の素性を特定することができる。

【0035】

以上の説明のように、第 1 の実施の形態では、半導体チップ 110 が実装されるプリント基板 100 に設けられたメモリ 130 を介して、内部のシリアルナンバーを外部出力される処理を実行させ、シリアルナンバーを取り出すことができる。このように、半導体チップ 110 をプリント基板 100 に実装した状態で、半導体チップ 110 を特定することができることにより、読み出しのための煩雑な工程を省き、特定までに要する時間を短縮することが可能となった。

【0036】

次に、他の実施の形態について説明する。

図3は、本発明の第2の実施の形態である半導体集積回路装置およびこの半導体集積回路装置を搭載した回路基板の構成図である。図2と同じものには同じ番号を付し、説明は省略する。

【0037】

本発明に係る半導体チップ110は、半導体情報を記憶するシリアルナンバー回路111、シリアルナンバーの読み出しを制御するCPU112および外部デバイス203と接続する外部デバイスインタフェース114を有する。

【0038】

外部デバイス203は、プリント基板100を搭載した電子機器と接続し、データ交換が可能な、所定の記憶領域を有する装置である。このような外部デバイスとして、例えば、メモリスティックやコンパクトディスクなどがある。外部デバイス203は、半導体チップ110にシリアルナンバー読み出し処理を実行させるための読み出しプログラムを記憶するとともに、読み出されたシリアルナンバーを記憶する所定の領域を備えている。読み出しプログラムは、プログラムが記憶された記録媒体201から必要に応じてロードされる。

【0039】

外部デバイスインタフェース114は、CPU112と外部デバイス203とを接続する接続制御手段であり、CPU112による外部デバイス203からのデータ読み出し、および外部デバイス203へのデータ書き込みの要求を処理する。

【0040】

このような構成の半導体チップ110および半導体チップ110を実装したプリント基板100の動作について説明する。

例えば、半導体チップ110に不具合が発見された場合、シリアルナンバー回路111からシリアルナンバーを読み出して外部へ出力する処理を実行させるプログラムが作成される。作成されたプログラムが外部デバイス203に書き込まれることにより、プログラムが実行できる状態となり、読み出し処理が開始され

る。

【0041】

CPU112は、外部デバイスインタフェース114を介して外部デバイス203に保持されている読み出しプログラムを読み込み、このプログラムに従って処理を実行する。すなわち、シリアルナンバー回路111の保持するシリアルナンバーの読み出しを行ない、外部デバイスインタフェース114を介して外部デバイス203の所定の領域へ書き込む。このようにして、半導体チップ110に固有のシリアルナンバーが外部デバイス203に取り出される。

【0042】

外部デバイス203に取り出されたシリアルナンバーは、別途用意されたパーソナルコンピュータなどで確認する。このようにして得られたシリアルナンバーは、半導体チップ110の製造ロット番号・ウェハ上での位置・製造時期に応じて割り振られたものであり、シリアルナンバーよりこの半導体チップ110の素性を特定することができる。

【0043】

以上の説明のように、第2の実施の形態である半導体チップが記録媒体を備える外部デバイスと接続可能な電子機器に搭載される場合、この外部デバイスに読み出しプログラムを格納してシリアルナンバーの読み出し処理を実行させることができる。読み出されたシリアルナンバーは、外部デバイスに書き込ませて取り出すことができる。以上により、半導体チップ取り出しのための煩雑な工程を行なうことなく、半導体チップの特定を行なうことが可能となる。

【0044】

次に、本発明の半導体集積回路装置を用いた半導体情報の読み出し処理について説明する。

図4は、本発明の実施の形態である半導体情報の読み出し処理手順を示したフローチャートである。読み出し処理プログラムが作成され、半導体チップのCPUから読み取り可能な記録媒体にロードされて処理が開始される。

[ステップS01] 読み取り可能な記録媒体に格納された半導体情報読み出しプログラムを読み込む。例えば、半導体チップが実装された回路基板に設けられ

たメモリ、あるいは、アクセス可能な外部デバイスのメモリに格納されたプログラムをメモリコントローラあるいは外部インタフェースを介して読み込む。

〔ステップ S 0 2〕 読み出したプログラムに従って、半導体情報記憶回路から半導体情報を読み出す。

〔ステップ S 0 3〕 読み出した半導体情報をメモリコントローラあるいは外部インタフェースを介して、プログラムによって指定された半導体チップ外部のメモリの所定の領域に書き込む。

【 0 0 4 5 】

このように、半導体情報読み出しプログラムを作成し、これを半導体集積回路装置から読み取り可能なメモリに格納すれば、半導体集積回路装置はプログラムに従って半導体情報を読み出して指定の外部メモリに格納する。以上により、半導体チップ取り出しのための煩雑な工程を行なうことなく、半導体チップの特定を行なうことが可能となる。

【 0 0 4 6 】

【発明の効果】

以上説明したように本発明の半導体集積回路装置では、装置固有の半導体情報を予め記憶しておき、外部から供給される信号に応じて半導体情報を読み出して外部出力する。このように、外部から半導体情報を読み出すことが可能となるため、製品の特定制を容易に行なうことができる。この結果、半導体集積回路装置を取り出す工程を省くことが可能となり、半導体集積回路装置の特定制が容易になるとともに、特定制までに要する時間を短縮することが可能となった。

【 0 0 4 7 】

また、本発明の回路基板では、実装されている半導体集積回路装置に内蔵された半導体情報を回路基板に設けた記憶手段に取り出すことができる。このように、半導体集積回路装置を基板に実装した状態でも半導体情報を取得し、製品の特定制を行なうことが可能となる。

【 0 0 4 8 】

さらに、本発明の情報読み出し方法では、実装される半導体集積回路装置の半導体情報の読み出し処理を実行させるためのプログラムを書き込み、半導体集積

回路装置は、プログラムに従って内蔵する半導体情報を外部へ出力する。このように、半導体集積回路装置が実装された状態でも半導体情報を取得し、製品の特定を行なうことが可能となる。また、プログラムを実行させ、半導体情報の読み出し処理を行なうことにより、そのときに必要な情報を選択して引き出すことや、情報の加工を容易に行なうことができるようになる。

【図面の簡単な説明】

【図 1】

本発明の概要を示した構成図である。

【図 2】

本発明の第 1 の実施の形態である半導体集積回路装置およびこの半導体集積回路装置を搭載した回路基板の構成図である。

【図 3】

本発明の第 2 の実施の形態である半導体集積回路装置およびこの半導体集積回路装置を搭載した回路基板の構成図である。

【図 4】

本発明の実施の形態である半導体情報の読み出し処理手順を示したフローチャートである。

【図 5】

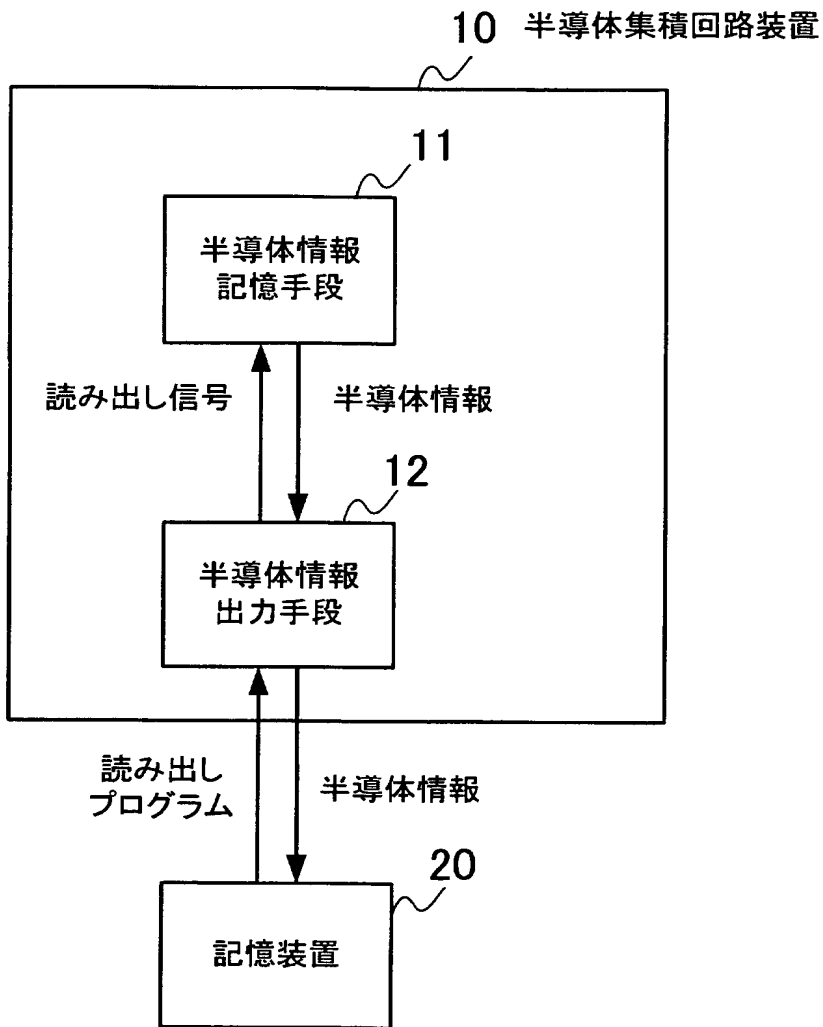
従来の半導体集積回路装置の内部情報を読み出すための手順を示した図である。

【符号の説明】

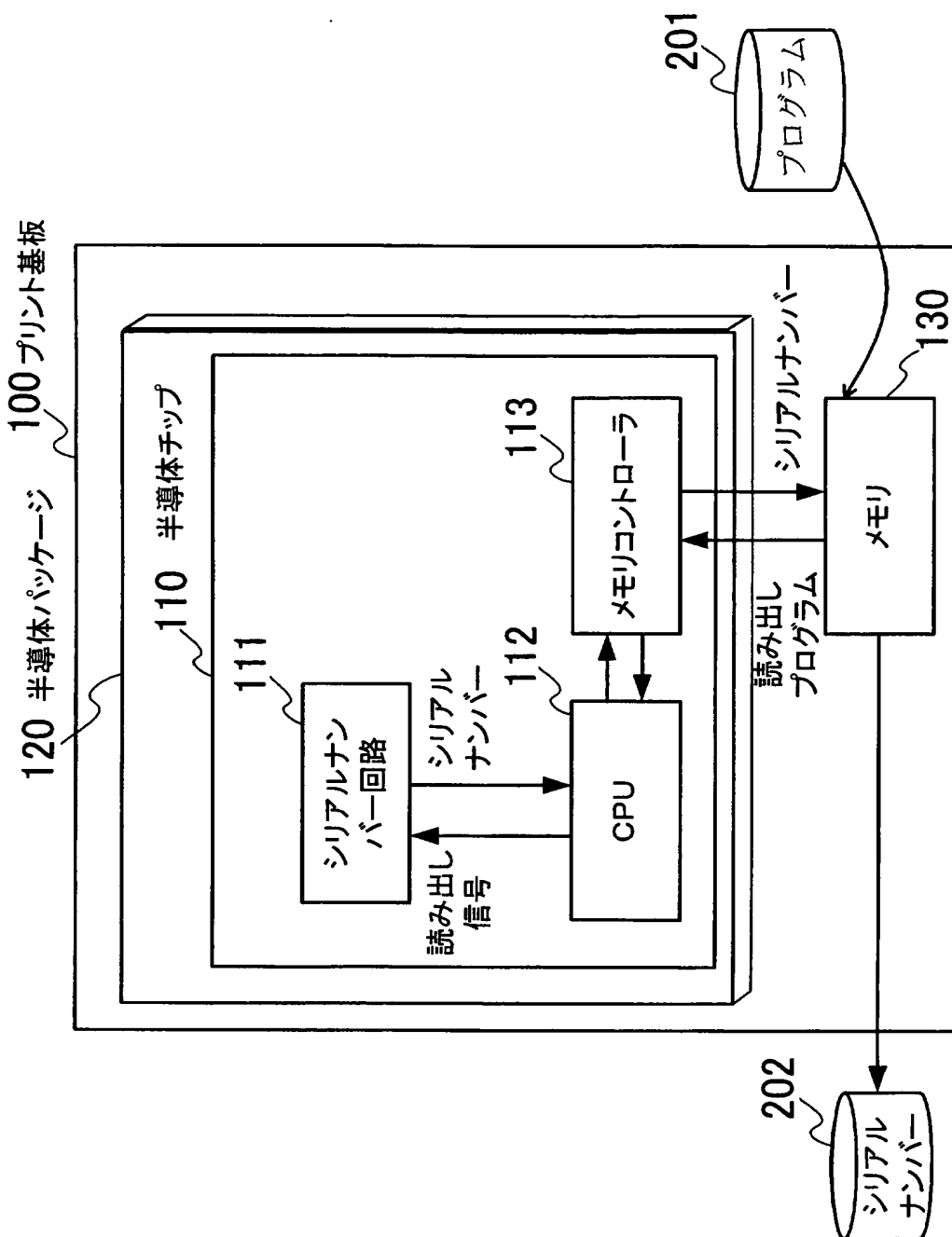
10・・・半導体集積回路装置、11・・・半導体情報記憶手段、12・・・半導体情報出力手段、20・・・記憶装置、100・・・プリント基板、110・・・半導体チップ、111・・・シリアルナンバー回路、112・・・CPU、113・・・メモリコントローラ、114・・・外部デバイスインタフェース、120・・・半導体パッケージ、130・・・メモリ、201・・・プログラム記録媒体、202・・・シリアルナンバー記憶装置、203・・・外部デバイス

【書類名】 図面

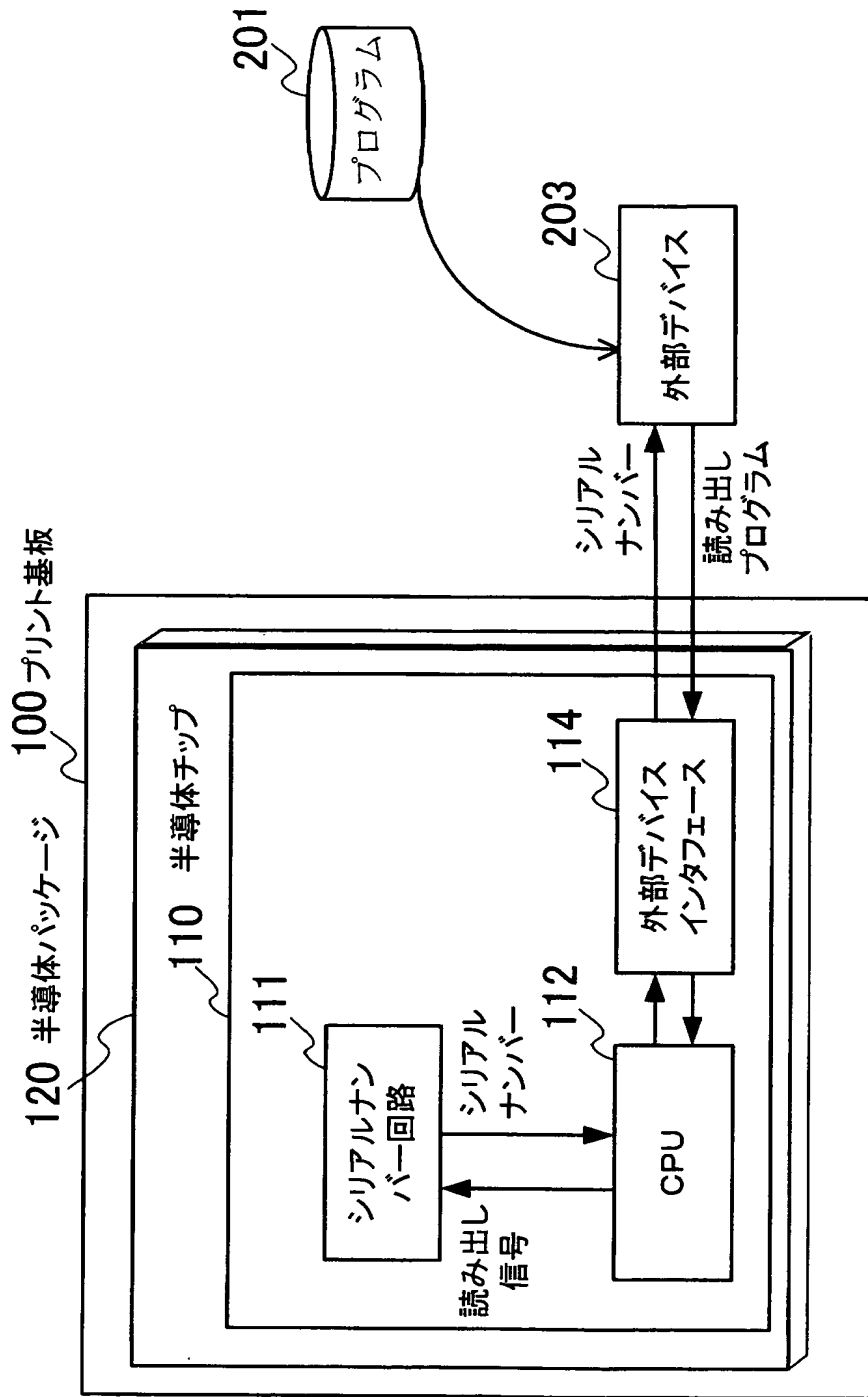
【図 1】



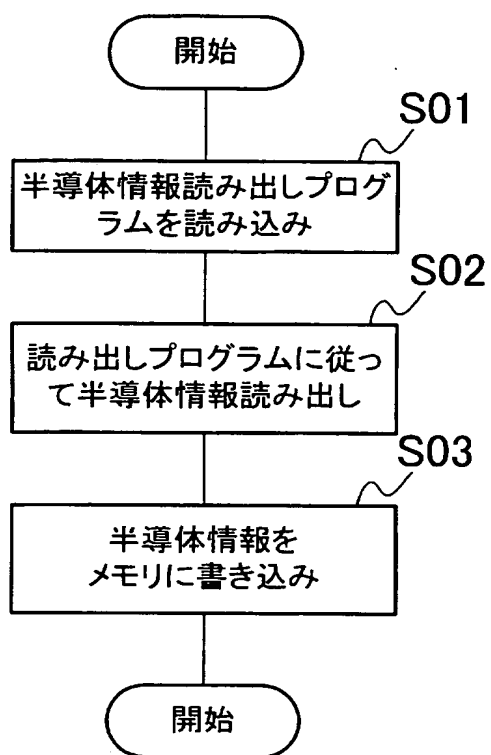
【図 2】



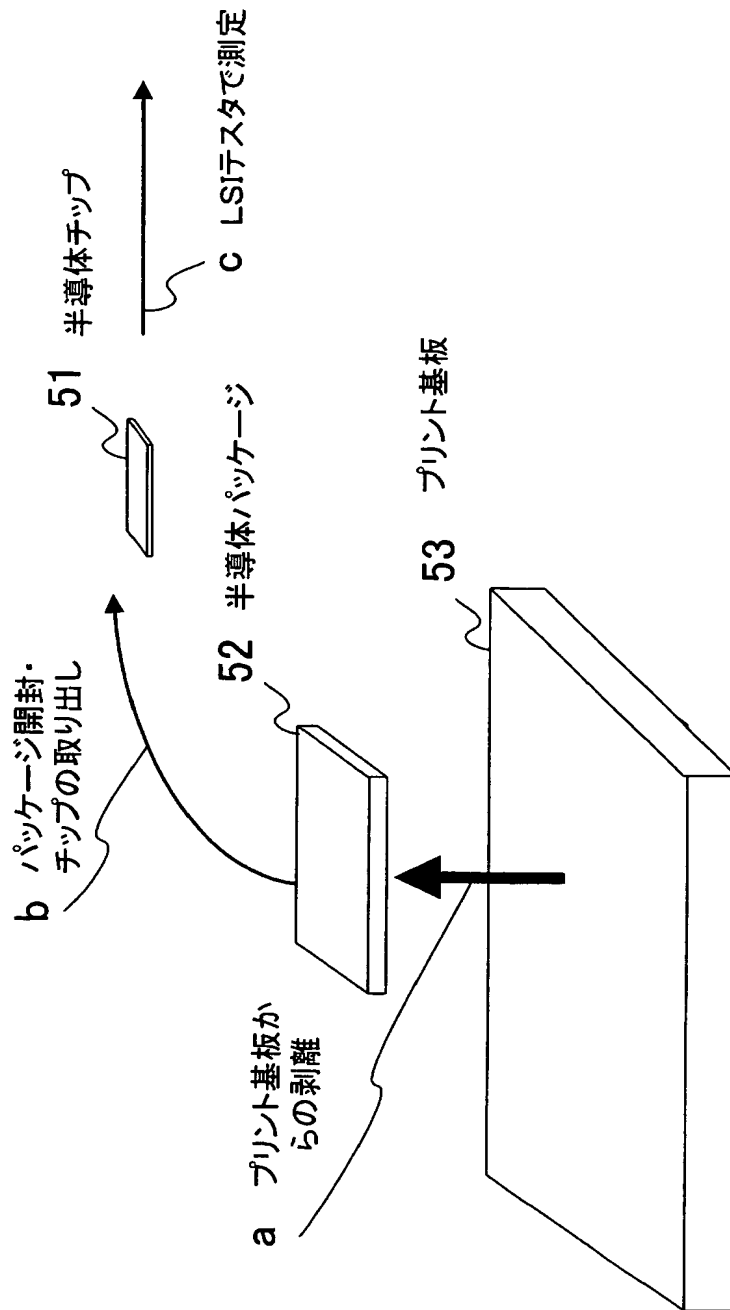
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置に格納された内部情報を読み出す。

【解決手段】 半導体情報記憶手段 1 1 には、半導体集積回路装置 1 0 に固有の半導体情報が記憶されている。固有の半導体情報には、例えば、この半導体集積回路装置 1 0 を識別するための識別番号や、ロット番号などの製造時を特定するための情報などがある。外部に設けられた記憶装置 2 0 には、必要に応じて、半導体集積回路装置 1 0 の半導体情報を読み出すための読み出しプログラムが格納される。半導体情報出力手段 1 2 は、半導体情報を要求する信号が外部から供給されると、この信号に応じて、プログラムを実行する場合には記憶装置 2 0 の読み出しプログラムに従って、半導体情報記憶手段 1 1 から半導体情報を読み出し、読み出した半導体情報を外部の記憶装置 2 0 に書き込む。

【選択図】 図 1

特願 2 0 0 2 - 3 7 3 6 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社